

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-252978

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)12月13日

G 06 F 13/20
15/167165-5B
L-6619-5B

審査請求 未請求 発明の数 1 (全22頁)

⑮ 発明の名称 データ処理システムアーキテクチャ

⑯ 特 願 昭59-225062

⑰ 出 願 昭59(1984)10月25日

優先権主張 ⑱ 1983年10月25日 ⑲ イタリア (I T) ⑳ 23410A/83

⑳ 発 明 者 フランコ・チアツチ イタリア国ミラノ県マジエンタ、ピア・ゴイト 7
 ㉑ 発 明 者 ビンセンツォ・ピッツ イタリア国ミラノ県コルナレド、ピア・アリストテレー
 オフェルラート 7
 ㉒ 発 明 者 ジアンカルロ・テツセラ イタリア国ミラノ市ピア・クリメア 13
 ㉓ 出 願 人 ハネイウエル・インフ イタリア国トリノ県 カルソ (番地なし)
 オメーション・システ
 ムス・イタリア・エ
 ス・ビー・ア
 ㉔ 代 理 人 弁理士 湯浅 恭三 外5名

明 細 書

1 [発明の名称]

データ処理システムアーキテクチャ

2 [特許請求の範囲]

1) 中央処理装置 (CPU) (1) 及び複数の
 入力/出力プロセッサ (I/O P) (5-1, ...
 ..., 5-N) が共通メモリ (4) と通信し、内
 部サイクルに基づいて互いに非同期的に且つ独立
 した方法で動作し、上記 CPU 中のメモリアクセ
 ス制御ユニット (2) が上記 CPU 及び上記 I/
 O P からメモリアクセス要求を受け、一度に1つ
 の I/O P のみに対してアクセスを許可し、あ
 りは上記 CPU に対してアクセスを許可し、これ
 により上記アクセス要求に割り当てられている予
 め確立された優先順位に基づいてアクセスのコン
 フリクトを解決するデータ処理システムアーキテ
 クチャにおいて、

上記 I/O P の並行接続のためのシステムバス
 (6) と、

上記 CPU の入力/出力内部チャンネル (7A)

と上記メモリの入力/出力チャンネル (8A) と
 の選択接続及び上記システムバスと上記メモリ入
 力/出力チャンネルとの選択接続のための1組の
 ゲート (3) を含む上記 CPU 中のメモリアクセ
 ス制御ユニットと、

上記 I/O P からのアクセス要求の存在を CPU
 内部サイクルと同期して周期的に監視し、I/
 O P アクセス要求が存在しない時に上記 CPU 内
 部チャンネルを上記メモリチャンネルに接続す
 るために上記組のゲートを制御し、且つ上記 CPU
 によつて発生された可能なメモリ活性化命令を上
 記メモリに転送するための上記制御ユニット中の
 制御手段と、

上記 I/O P アクセス要求の検出によつて活性
 化される上記制御ユニット中のタイミング手段
 (43, 56) であつて、上記制御手段のタイミ
 ングサイクルを発生させるためのタイミング手段
 (43, 56) であり、上記制御手段が上記タイ
 ミングサイクルの期間中に、同時にアクセスを要
 求している I/O P 中の最も優先順位の高い I/

OP に対するバ^スアクセスを可能にする信号を生成し、上記バスを上記メモリ入力/出力チャンネルに接続するために上記組のゲートを制御し、メモリ活性化命令を生成し、上記タイミングサイクルとタイミングを取られた関係でもつて別の I/O P アクセス要求の存在を認めることを特徴とするタイミング手段(43, 56)と、を含むことを特徴とするデータ処理システムアーキテクチャ。

2) 上記組のゲート(3)が1組の3方向送信/受信ゲートからなることを特徴とする特許請求の範囲第1項に記載のシステムアーキテクチャ。

3) 上記組のゲート(3)が上記制御ユニットからの命令に基づいて、上記CPU内部チャンネル(7A)を上記入力/出力メモリチャンネル(8A)と上記バス(6)との両方に選択的に接続することを特徴とする特許請求の範囲第2項に記載のシステムアーキテクチャ。

4) 上記CPUが入力/出力命令を発生するための手段(16)を含むことを特徴とし、

各 I/O P が所から I/O P 命令を受け、かつ可能な手段(95)と

上記CPUによつて発生し、上記組のゲートを介して上記入力/出力メモリチャンネルと上記バスとの両方に転送される2進コードを内部認識コードと比較するために上記バスに接続された出力を有する比較器(101)と、を含むことを特徴とし、

且つ上記 I/O P の少なくとも1つが上記 I/O P による上記入力/出力命令の受信の際に且つ上記2進コードが上記内部認識コードと一致する時に、上記インターフェースレジスタへのロードのために、上記バスに接続された入力に有するインターフェースレジスタ(69, 70)を含むことを特徴とし、

上記2進コードが、他の情報と共に上記CPUによつて生成され、且つ上記組のゲートを介して上記入力/出力メモリチャンネル及び上記バスに転送されることを特徴とする特許請求の範囲第3項に記載のシステムアーキテクチャ。

3. [発明の詳細な説明]

発明の技術的背景

本発明は、データ処理システムアーキテクチャに関する。1つ又はそれ以上の中央処理装置(マルチプロセッサシステムにおける)、複数の周辺制御装置及び1つ又はそれ以上のワーキングメモリが、情報をこれらのユニットの別の1つに転送するためにこれらのユニットの各々がアクセスする共通のチャンネル即ちバスを介して互いに通信するデータ処理システムでは、いわゆるバスアーキテクチャが広く用いられていることが知られている。このバスアーキテクチャは、幾つかの制限を伴うが、ユーザの要求に従つてシステム構成における広いフレキシビリティを可能とし、これらの幾つかのユニットの間の接続リードの数を減らすため広く用いられている。バスアーキテクチャを有するデータ処理システムは、例えば、米国特許第3,710,324号、第4,303,808号及び第3,993,981号に開示されている。

基本的^スに言つて、パイアーキテクチャの制限は、

次の3種類の要因によつてもたらされる。

I) これら幾つかのユニットによるバスの使用

におけるコンフリクトという要因 **衝突**

II) これらの幾つかのユニットのオペレーションにおける同期という要因

III) 信号の電気的伝播という要因

I) バスアーキテクチャでは、バスにおける情報の命令された転送を保証し且つバスの使用中に起こり得るコンフリクト及び干渉を解決する手段を設けなければならない。一般的に採用されている解決法では、中央処理装置であり得る特権ユニット即ち「マスタ」が、コンフリクトを解決するためにバスに対するアクセスを制御している。この目的を達成するために、予め確立された優先順位が各ユニットに割り当てられる。更に、バスにアクセスすることを欲する各ユニットは、バスに情報を送る電気信号をロードする前に、アクセス要求をマスタに送る。マスタは周期的に、バスアクセス要求が現われるか否かを制御し、幾つか同時に要求のある場合、マスタは最も優先的な要

求ユニットにバスへのアクセスを許可する。

言い換えれば、バスの効果的な使用は、特定の時間インターバルを必要とし且つバスの情報転送速度即ち「転送速度」を減少する適当なリードを送信信号交換即ち前置対話 (preamble dialogue) に先行される。一般的に、この制限は、この前置対話に実際のバス情報転送を一時的に重複させることにより解消する。これは、周辺制御装置からのバスアクセス要求の場合において一般的に可能である。逆に、中央処理装置はこの可能性を系統的に利用することができない。実際、それに後続する挙動、従つて後続のバスアクセス要求はしばしばバスを介して以前の情報が実際に転送(送信あるいは受信)されることによつて調整される。従つて、斯かるオペレーションは完了しなければならない。

例えば、米国特許第3,710,324号に開示されているようにこの特有の制限は、中央処理装置をマスタとして指定することにより解消する。斯かる場合、バスが利用でき且つ優先的なアクセス

要求が何ら現われていない場合、少なくともマスタとして作用する中央処理装置が、予備対話 (preliminary dialogue) 無しにバスに対して直接アクセスすることができる。

II) バスを通して行なわれる、これら幾つかの相互接続ユニットの動作は非同期的である。言い換えれば、各ユニットは他のユニットとは独立に、それ自身のマシンサイクルに従つて動作する。

あるユニットがバスに対するアクセスを欲すると、その要求は検討され、バスアクセスがそのタイミングとは独立した瞬間に、しかもマスタのタイミングに従つて許可される。従つて、ユニットは許可を待っているその動作を停止することが必要である。また、バスを介して転送(送信あるいは受信)されるべき情報を一時的に記憶するためバスインターフェースレジスタを供給しなければならないが、ある場合においては、ユニットは他のオペレーションを実施することを継続することができる。両方の場合において、マスタにおける同期が要求される。この他に、情報転送は、2

つのユニットを伴い、従つて、情報が送られるユニットとの別の同期が要求される。

斯かる同期は、情報転送に対する受取りユニットの可用性を確認する第2前置対話あるいは既に起きた転送の後の確認と共に起きる。如何なる場合でも、斯かる確認は、それがプロセスの他のフェーズと重複できないため転送期間を長くしてしまう。一般的に、斯かる不都合性は、バスを通して行なわれる情報交換をこれらのユニットの任意のユニットとメモリとの間の情報交換に限定することにより解消される。斯かる場合、ワーキングメモリはバスアクセス制御用のマスタとして作用することができ、バスアクセス用のマスタ同期はワーキングメモリ同期と一致する。

斯かる場合、例えば、米国特許第4,303,808号に開示されているように、確認フェーズは、前置対話において暗に含んでいるため、必要とされない。

しかしながら、ワーキングメモリをマスタとして選択することが中央処理装置をマスタとして選

択することと互換性がないことは明らかである。

III) バスは、幾つかのユニットを互いに接続する複数の電気リードから構成された通信チャンネルである。斯かるリードは、かなりの長さを有し且つこの長いリードに沿つて配設されている幾つかのユニットに対する(コネクタを通して)幾つかの接続により不規則なインピーダンス特性を有している。従つて、バスはしばしば、電気「ノイズ」及び信号反射を受ける。従つて、バスへの信号転送は、各ユニットのインターフェースにおいて配設されている駆動ゲート即ち「ドライバ」を通して制御しなければならないのが一般的である。更に、各ユニットには適当な受取りゲートを配設しなければならない。これらのドライバはトライステート型でなければならないことは明らかであるが、これは対応するユニットがバスへの信号転送を何ら行わない時にそれらの出力インピーダンスが実質的に無限であるようにするためである。

使用されるドライバ及びレシーバは、バス通信プロセスの期間をかなり増加せしめる約20乃至

40 nsec の代表的な信号伝搬遅延を有している。バス情報転送、例えば、あるユニットによるワーキングメモリのアドレス指定及びメモリからの情報の読み出しは約600乃至800 nsec を必要とするのが一般的である。情報経路にドライバ及びレシーバが存在すると斯かる時間を40乃至80 nsec、即ち約10%程増加せしめることが明らかである。

この状態は、同期のために、幾つかのラッチングレジスタが相互通信ユニットに配設、あるいは情報経路上のこれらのユニットの1つに配設されると更に劣化する。

概念上、各システムユニットは、論理演算回路あるいはメモリ回路から情報を受け、斯かる情報を斯かる回路に選択的に転送して更に処理するそれ自身の内部チャンネルの回りに組織されている。内部処理サイクルは、処理されるべき情報が既にユニットの中にある時は約300乃至500 nsec と非常に短い。しかしながら、処理されるべき情報が外部に送られるかあるいは外部から受け取ら

れる場合は、レジスタと、外部例えばシステムバスとの接続のためのゲートと、が必要となる。このことは、情報が内部（あるいは外部）バスに得られる時間と情報が外部（あるいは内部）バスに得られる瞬間との間の実質的な遅延をもたらす。結論を述べると、構成のフレキシビリティと、バスアーキテクチャによつて得られる接続数の節約とは、実質的に増加するオペレーション時間によつて有害である。

発明の概要

本発明は、斯かる不都合を部分的に解消し且つ中央処理装置がワーキングメモリから受け取つた情報を処理しなければならない時もこの中央処理装置に対して高いオペレーション速度を保証するバスアーキテクチャを提供する。同時に、本発明に従うシステムアーキテクチャは、前置対話と制御装置とワーキングメモリ間との情報交換との重複を可能にするものである。これらの諸利点は、中央処理装置が独立のチャンネルを通してワーキングメモリと通信するにも関わらずその周辺制御

装置がバスを介してワーキングメモリと通信するバスアーキテクチャによつて得られる。

バスアクセス制御は、バスアクセスをそれ自身の内部サイクルと同期化する中央処理装置に割り当てるのが基本的である。このようにすると、この周辺制御装置からはバス及びメモリアクセス要求は何ら送られず、中央処理装置は、予備対話無しに、従つて情報転送プロセスの遅延無しにメモリに直接アクセスすることができる。中央処理装置がバス（及びメモリ）アクセス要求を認め且つバスが解放されている時、中央処理装置はその内部サイクルから独立したタイミング即ちI/O（入力/出力）サイクルを活性化し、最も優先的な要求制御装置に対してバスアクセスを許可し、I/Oサイクルと同期されたメモリサイクルを活性化する。斯かるサイクルの期間中、他のバスアクセス要求の存在は、証明され、このサイクルの終了時に、新しいバスアクセスが即座に許可される。新しいアクセス要求が無いと、バス制御は中央処理装置のサイクルと再び同期される。

バスを介して行なわれる、周辺制御装置とメモリ間、あるいは中央処理装置とメモリ間の接続は3方向接続ゲートにより行なわれる。この3方向ゲートは、インターフェースレジスタあるいはレシーバ又はドライバ等の要素の介在無しに中央処理装置の内部チャンネルとメモリを直接接続する。このようにして、中央処理装置とメモリ間の情報転送が極端に速くなる。

好適な実施例の説明

第1図について説明する。この図には、本発明に係るシステムアーキテクチャが簡単なブロック図で示されている。

第1図のシステムは、中央処理装置即ちCPU1、1つのアクセス制御ユニット2、1組の3方向通信ゲート3、メインメモリ即ちMM4及び共通チャンネル即ちBUS6を通して並行に接続されている複数の入力/出力プロセッサ即ちI/O P5-1を含む。

BUS6は、アドレス/データ/命令の3方向転送用の1群のリード6A（例えば20本のリー

ド)及び対立方向制御信号の転送用の1群のリード6Bからなる。

リード6Aの群は、3方向ゲート3の第1入力/出力群Cに接続されている。リード6Bの群は、幾つかのプロセッサIOPとアクセス制御ユニット2間の制御情報交換に意図されている。

CPU1は、アドレス/データ/命令の3方向転送のために、20本のリードの1群からなるチャンネル7Aを通してゲート3の第2入力/出力群Aと通信する。CPU1は、制御信号の交換のために、リード7Bの1群を介してユニット2と通信する。

メモリ4は、メモリ4とゲート3の第3入力/出力群Bとの間にアドレス/データ/命令の3方向転送を行うために、リード8Aの1群からなるチャンネル8を介してゲート3と制御ユニット2とに通信し、制御ユニット2と制御信号を交換するために、リード8Bの1群からなるチャンネル8を介してゲート3と制御ユニット2に通信している。

接続しているが、非常に短くすることができ、中間タップは持たず、ドライバ及びインターフェースレシーバを必要としない。更に、各I/O PはリードMMREQ1, ..., MMREQNを介してそれぞれプレート9のユニット2に個々に接続されている。斯かるリードを通して、各I/O Pはユニット2にBUS6及びメモリアクセス要求を送ることができる。

第2図は、BUS6を構成しているリードを示している。BUS6は、データ及びアドレスの3方向の交換のために20本のリードADDR/DATAを含んでいる(チャンネル6A)。

チャンネル6Bは、以下のものを含む。

- 幾つかのI/O Pからユニット2に総合信号I/ORWを転送するように意図されたリードI/ORW。斯かるリードは、その論理レベル0, 1に従って、そのメモリアクセスが読み出しあるいは書き込みオペレーションにそれぞれ必要か否かを決定する。

- ユニット2から幾つかのI/O PにI/O Pを

後に詳しく説明されるが、制御ユニット2は、これらの幾つかの入力/出力群A, B, Cとの間に選択的に接続を確立するために、これら幾つかのIOPによる幾つかの同時メモリアクセス要求の場合にコンフリクトを解消するための優先ネットワーク、BUS6及びメモリ用のタイミングユニット、及びゲート3用の制御ロジックから本質的に構成される。ユニット2は、チャンネル10を通してゲート3を制御し、チャンネル10を介して選択信号CA, SO, S1がゲート3に送られる。ユニット2及びゲート組3は、CPU1とは独立して示されているが、中央処理装置の一部とすることができ且つCPUを含み且つ参照番号9で示されている同一のプリント基板の上に配設されるのが好ましい。従つて、このシステムは物理的に言うとプレート9、メモリ4、幾つかのI/O P 3-1, ..., 3-Nから構成される。BUS6はこれら幾つかのI/O Pをプレート9に接続している。

チャンネル8は、プレート9をメモリ4に直接

選択する総合コード化された情報PROC Nを転送するように意図された1組のリードPROC N(その数はI/O Pの数に依存する)。I/O Pが8又は8より少ない場合は、3本のリードで充分である。

- ユニット2をイネーブルして、BUS6及びメモリアクセスがリードPROC Nによつて規定されたI/O Pに対して許可されたことを幾つかのI/O Pに信号で知らせるためのリードENIOP。リードENIOPに現われる信号は、リードPROC Nに現われる信号に対する「ストローブ」として用いられる。これは更にタイミング機能を有している。

- ユニット2をイネーブルして、データがチャンネル6Aに現われていることを幾つかのI/O Pに対して信号で合図するためのリードDASTRO。リードDASTROに現われる信号はチャンネル6Aに現われる信号に対する「ストローブ」として用いられる。

- I/O Pをイネーブルして、あるI/O Pが

CPUによつて読み出されなければならないメモリにあるメッセージを記憶したことをユニット2に信号で合図するためのリードI/O INT。
-CPUが命令をあるI/O Pに送っていることをユニット2から幾つかのI/O Pに信号で合図するためのリードI/O COM。この命令とこれに係るI/O Pの種類は、チャンネル6Aの内容によつて規定される。

-命令I/O COMが受けられたことを関係するI/O PからCPUに信号で合図するためのリードI/O EX。

第3図は、本発明を理解する上で必要な形にあるCPUのブロック図を示す。

中央処理装置の構造の詳細と変化は当業者にとつては公知である。幾つかの外部要素が付加されて本発明において用いられる適当なCPUを実施できる、別の集積回路は市場で入手できる。

これらの集積回路のアーキテクチャ及び応用は、製造業者の技術マニュアルによつて広く開示されている。尚これらの製造業者の内インテル(INTEL)、

モステック(MOSTEK)、ユー・エム・デー(AMD)、サイナテック(SYNERTEK)各社について述べる。

CPU1は、実質的に、論理/演算ユニット即ちRALU11、制御マイクロプログラムを含む制御メモリ12、制御メモリ12に対するアドレスレジスタ即ちROSAR13、2つのマイクロ命令レジスタ14、15即ちそれぞれROR1、ROR2、マイクロ命令デコーダ16及びタイミングユニット17を含む。

この他に、論理/演算ネットワークユニットRALUは適当なワーキングレジスタバンクを含んでいる。RALU11は、タイミングユニットから2つのタイミング信号φA、φBをそれぞれ受け取る2つの入力I1、I2、異なる位相において入力ゲートあるいは出力ゲートとして作用可能であり且つチャンネル7Aに直接接続されている第1組のゲートDAB、異なる位相において入力端子あるいは出力端子として作用し得る第2組のゲートAD、及び信号INT及びI/OEを

それぞれ受け取るための2つの入力I3、I4を含んでいる。

これらのゲートADは、チャンネル20を通してレジスタROSAR13の入力に接続され且つチャンネル21を介してレジスタ14の幾つかの出力(ROR1)に接続されている。

これらのゲートDABは、チャンネル7Aの他に、チャンネル22を介してレジスタ14の幾つかの出力(ROR1)に接続されている。

レジスタ13の出力は、その出力がレジスタ14(ROR1)及びレジスタ15(ROR2)の両方のレジスタの入力に接続されている制御メモリ12のアドレス指定入力に接続されている。レジスタ15の出力は、デコーダ16の入力に接続されている。

レジスタ13(ROSAR1)は、タイミングユニットから受けられるタイミング信号CENRAが「1」である時、アドレスがロードされる。CENRAが「0」である時、ROSARに含まれるアドレスはその出力において安定して存在す

る。

レジスタ14(ROR1)は、タイミング信号PHAによつて制御メモリからの出力にマイクロ命令をロードするようにイネーブルされる。PHAが「1」である時、このマイクロ命令はロードされ同時にその入力は高インピダンス状態に保持される。PHAが「0」である時、ROR1に含まれるマイクロ命令はそれらの出力に安定的に存在する。

同様に、レジスタ15(ROR2)は、タイミング信号PHAが「1」によつてマイクロ命令をロードするようにイネーブルされる。そしてこのマイクロ命令はPHAが「0」である時それらの出力において安定して存在する。

ユニットRALU11のオペレーションは、各々が第1フェーズ及び第2フェーズの期間であつてその期間中にそれぞれφA=1及びφA=0である幾つかのマシンサイクルの期間中に起きる。

φA=1である場合、ゲート組DAB及びADの各々の1つは、ROR1に含まれるマイクロ命

令の一部を入力に受け取るようにイネーブルされる。この目的を達成するために、 $\phi A = 1$ となるインターバル内で $PHA = 0$ となる。このようにして受け取られたマイクロ命令は、マシンサイクルの期間中に $RALU11$ によつて実施されたオペレーションを制御する。斯かるオペレーションの中で、制御メモリにおいて後続するマイクロ命令アドレスが確立される。

第2フェーズの期間中、アドレスはゲート AD に得られ且つ $ROSA R13$ にロードされる。この目的を達成するために、 $\phi A = 0$ である時 $CENRA = 1$ となる。第2フェーズの期間中は常に、ゲート DAB は、必要に応じて、チャンネル $7A$ から幾つかの情報を受け取りあるいはチャンネル $7A$ に幾つかの情報をロードするようにイネーブルされる。これは、ペンディングのマイクロ命令が、入力/出力オペレーション即ち読出し/書き込みメモリあるいは $I/O P$ に対して制御を渡すことを制御する場合に起きる。これらのオペレーションは後に詳しく説明する。

によつて受け取られた割込信号 INT をリセットすることを欲していることを示す。

- LC : この命令は、ペンディングのマシンサイクルが、決定されたオペレーション、例えば、 $RALU11$ に含まれる局部メモリに対するアクセスの実施を管理するために、あるいは書き込み/読出しメモリの場合にそれ自身のサイクル期間をメモリ 4 のサイクル期間に整合させるために長くなければならないことを示す。

命令 LC は、 $NOT18$ を介して直接的な形及び反転された形でタイミングユニット 17 に送られる。

命令 $INTRS$ はタイミングユニット 17 から信号 RST が来た状態で($NAND$ ゲート 19 を介して) $NAND$ をとられ、($INTRS = 1$ である場合)マシンサイクルの終了時に 0 に落ちる信号 $RSINT$ を生成する。

命令 $I/O C$ は、(AND ゲート 30 を介して)信号 RST と AND をとられ RST としてタイミングを取られた信号 $I/O COM$ を生成する。

レジスタ $15 (ROR2)$ にロードされるマイクロ命令は、デコーダ 16 によつて、1組の命令(マイクロ命令)に復号される。これらの命令は、ユニット 1 の外部のオペレーションとタイミングユニット 17 のオペレーションの両方を制御し且つ、一旦レジスタ 15 にロードされるとマシンサイクルの残りの全ての期間にわたつて存在する。

本発明を理解する上で重要な命令は以下の通りである。

- $CDOUT$: この命令は、マシンサイクル中に、 $RALU11$ がチャンネル $7A$ に外側に転送されなければならない幾つかの情報をロードすることを意味する。

- $C23$: この命令は、マシンサイクル中に CPU が読出し/書き込みメモリサイクルを開始することを欲することを示している。

- $I/O COM$: この命令は、 CPU がある $I/O P$ に対する命令の送り出しを欲することを示している。

- $INTRS$: この命令は、 CPU が $RALU$

ユニット 17 は、幾つかの周期的タイミング信号を出力に生成する。これらのタイミング信号の幾つかは、例えば $CENRAD$, PHA , \overline{PHA} , ϕB は、 $CPU1$ のタイミングにのみ用いられ、他の信号、例えば ϕA , RST は、 $CPU1$ 及び制御ユニット 2 のタイミングに用いられ、他の信号、例えば ϕA , CK , $TP6$, $CL1$ (後に述べる)はユニット 2 のタイミングに用いられる。

ユニット 17 は、ユニット 2 からの信号 $CIOCYC$ を入力に受け取る。

信号 INT , I/OE , $CDOUT$, $C23$, $I/O COM$, $RSINT$, CK , $CIOCYC$, ϕA , $\overline{\phi A}$, $CL1$ を転送する幾つかのリードは第1図のチャンネル $7B$ を構成している。

説明を簡単にするために、以下においては斯かるリードをそれらが転送する信号と同一の参照名を用いて呼ぶことにする。

タイミングユニット 17 は、実質的に発振器 34 , シフトレジスタ 36 , 2つのフリップフロップ 37 , 23 及び適当な論理ゲートから構成さ

れる。

発振器34は、予め確立された50 nsecの周期を有する矩形波クロック信号CKを生成する。

斯かる信号は、シフトレジスタ36の入力及びフリップフロップ37、23の入力に適用される。その他に、既に述べたように、この信号はユニット2に転送される。

10ビット容量を有するシフトレジスタ36は、「1」に永久に接続されている直列入力SI、「0」に永久に接続されている10個の並行なロード入力及び2つの制御入力IS1及びIS0を含んでいる。

CKの各立ち上がりエッジにおいてIS0=1及びIS1=0の時、レジスタ36は各セルに含まれる論理レベルを後続のレベルにシフトする。

IS0=0及びIS1=0の時、レジスタ36は現在の状態にロックされる。即ちクロックパルスはその状態を修正することがない。

CKの各立ち上がりエッジにおいてIS0=1及びIS1=1の時、レジスタは、幾つかのセル

に並行ロード入力に現われるレベルを、並行にロードする。実際には、それはリセットされる。

タイミング信号TP0, TP1, …… TP9は、レジスタ36の幾つかの出力に得られる。これらの信号のタイミングは第4図に示されている。

入力IS1は、NOT24を介して信号RSTから得られる信号RSTを受け取る。RSTはAND-OR-NOTゲート25からの出力中に得られる。

ゲート25は、第2AND部の入力に信号LC及びTP4を受け取る。

入力IS0は、入力に信号CIOCYC, C23, TP3を受けるNANDゲート26の出力に接続されている。

レジスタ26の動作は簡単に説明すると以下の通りである。

レジスタが満たされていない初期のリセット状態(TP9=0, TP4=0, TP3=0)から、レジスタは、各クロックパルスにおいてその最初のセルよりロードを開始する。4クロックパルス

の後TP3は1に上昇する。この時点においてC23及びCIOCYCが1でもある場合、レジスタの状態はロックされる。そのかわり、信号C23, CIOCYCの内少なくとも1つが0にある場合、レジスタはロードを続ける。5クロックパルスの後TP4は1に上昇する。従つてLC=1である場合信号RSTは1に上昇する。

後続するクロックによると、即ち6クロックパルスの後、レジスタ21がリセットされる。

LC=0である場合レジスタ36はロードを続ける。10クロックパルスの後、TP9は1に上昇しLC=1の時、信号RSTが生成される。

後続するクロックにより、即ち11クロックパルスの後、レジスタ36がリセットされる。

結論を言うと、レジスタ36は、可変期間のマシンサイクルを循環的に進展させ且つ限定する。

ユニット2からの信号CIOCYCがない場合、これらのサイクルはそれぞれ信号LC又はLCの存在に従つて300 nsec又は500 nsecの期間を有する。

信号CIOCYCが信号C23と共にユニット2の中に存在する時、ペンディングのサイクルはCIOCYCが再びレベル0に落ちる迄中断される。

D種のフリップフロップ37は、クロック入力に信号CKを受け、D入力にNAND27からの出力の信号RST・TP1を受け取る。

フリップフロップ37の出力には信号φB及びφBが得られる。同様にして、信号CKによりクロックされ且つその入力DにAND, OR, NOTゲート28から得られる信号TP2+TP4+C23を受け取るフリップフロップ23からの出力中に信号φA及びφAが得られる。

信号CL1がANDゲート29を通してφA及びφBの論理積として得られる。

信号CENRA, PHA, PHAが、第3図においては簡略を期するために図示されていない論理回路を介して、信号φA及びφBから得られる。

第4図は、これら幾つかの信号のタイミング図を示す。

これから明らかなように、CENRAが論理演算

によつて得られ、 $\overline{PHA} = \bar{\phi}A \cdot \bar{\phi}B$ であり、更に $\overline{PHA} = \bar{\phi}A \cdot \bar{\phi}B$ である。

第4図の場合、通常のタイミングサイクルと長いサイクルの場合が示されている。(それぞれダイアグラムNORMとダイアグラムLONG)。

長いサイクルの場合、以下のことが明らかである。即ち、順序番号4を有するクロックパルスと順序番号5を有するクロックパルスとの間において、サイクルは信号CIOCYCと信号C23とが同時に存在することにより、可変数のクロック期間にわたつて延在(HOLD)し得る。

タイミングサイクルとCPUサイクルとの相互関係は、任意に確立することができる。

例えば、マシンサイクルはレジスタ36がリセットされると($CK=0$)によつて定められる瞬間に)すぐに開始するようである。

概念的には、 ϕA が1に上昇した時の瞬間をサイクル開始とみなした方が好ましいであろう。事実、既に述べたように、RALU11は、斯かる瞬間から開始するサイクルの期間中にそのオペ

レーションを制御する内部命令の受け取りを開始する。その他にその長さから独立してマシンサイクルは2つのフェーズに分割される。

第1フェーズの期間中、 $\phi A=1$ の時、RALU11は必要な命令を受け且つ後続のマイクロ命令アドレスを発生する。

第2フェーズの期間中、 $\phi A=0$ の時、RALU11は、出力ADに次のマイクロ命令アドレスを発生し、必要ならば、ゲートDABをイネーブルして外部と通信せしめる。第2フェーズの全部(及び少し前)の期間中、RALU11の外部のオペレーションを制御するのに必要な命令(マイクロ命令)も得られる。

制御ユニット2を詳細に検討する前に、第7図においてブロック図で示されているワーキングメモリMM4のアーキテクチャについて簡単に説明する。

メモリ4のアーキテクチャは、公知であり、且つ従来の型式であり、従つてほんの少しの説明しか必要としない。より詳細な説明は、例えば、米

国特許第4,249,253号を見れば明らかである。

メモリ4は、入力命令のラッチング用レジスタ80(CREG)、入力アドレスのラッチング用レジスタ81(AREG)、入力データのラッチング用レジスタ82(IREG)、出力データのラッチング用レジスタ83(OREG)、タイミング/制御ユニット84及びメモリモジュール85即ちメモリモジュールを含む。

レジスタ81及び82の入力は、チャンネル8Aに直接接続されている(第1図)。

レジスタ80は、チャンネル8Bを介して入力に幾つかのメモリ命令を受ける(第1図)。

第7図は、実施されるべきオペレーションを特定する命令をリードWCを介してレジスタ80が入力に受け取ることとを示している。この命令が論理レベル1にある時、そのオペレーションは書き込みオペレーションであり、この命令が論理レベル0である場合、そのオペレーションは読出しオペレーションである。

一般的に、メモリ4は、例えば、このメモリが

全て必ず並行(即ち2バイト)に読み出されるかあるいは書き込まれるか又は1バイトのみが読出し/書き込みをされるべきか及びこのバイトが右のバイトかあるいは左バイトであるべきかを定める別の命令を受け取る。

これらの特徴は、完全に本発明の範囲外にある。

制御/タイミングユニット84は、周期的タイミング信号CK及び活性化命令GOMMをチャンネル8Bを介して入力に受け取る。活性化命令GOMMは、レジスタ80及び81に対するリード例えばWCに現われる命令及びチャンネル8Aに現われるアドレスのロードをもたす。命令GOMMが受け取られると、タイミング/制御ユニットが活性化される。このユニットは、タイミングサイクルを発生しこの期間中適当な命令が生ずる。斯かる命令は、レジスタ81に含まれるアドレスによるモジュール85のアドレス指定を制御し、オペレーションが書き込みオペレーションである場合、これらの命令は書き込まれるべきデータをレジスタ82にロードすることと書き込まれるべき

きデータをモジュール85へ送り出すことを制御する。オペレーションが読出しオペレーションである場合、これらの命令は、読み出されたデータのレジスタ83へのロードとそれらのチャンネル8Aへの転送を制御する。

開示されたメモリは、多重送信技術によつてアドレス及びデータを転送するのに1つのチャンネル8Aのみが用いられる種類である。

実際、モジュール85のオペレーションの場合、書き込まれるべきデータが必要であり且つ読み出されたデータがメモリサイクルの終了においてのみ得られると同時にメモリサイクルの開始において既にアドレスが得られていることが必要である。

一般的に、メモリ4は、800nsecのサイクルを有することができ、書き込まれるべきデータがサイクルの開始の後、少なくとも600nsec後にレジスタ82に得られることを必要とし、同時に読み出されたデータがレジスタ84の出力においてサイクルの最後の150nsecの期間中に得られることを必要とする。

て、即ち、アドレスがレジスタ81の入力に安定して存在する時にメモリ4によつて受け取られるようにするために、後に説明するように、制御ユニット2によつて適当に遅延される。従つて、レジスタ81は、ロードすることができ、メモリサイクルが開始する。

第1マシンサイクルの終了において、550nsecの長さの第2マシンサイクルを開始する。このサイクルの第2フェーズ(φA=0)の期間中、CPU1はゲートDABをイネーブルして、メモリに書き込まれるべきデータを送りあるいはメモリから読み出されるべきデータを受け取る。従つて、第2CPUサイクルの開始の後の250nsecにおいて、近似的にはメモリサイクルの開始の後の550nsecにおいて、書き込まれるべきデータはメモリサイクルの開始の後の600nsecにおいてチャンネル8Aに得られる。

読み出しの場合、メモリサイクルの開始の後の650nsecにおいて、即ち、第2CPUサイクルの開始の後の約400nsecにおいてメモリチャ

これらの説明の後、まだ制御ユニット2について説明していないが、CPU1によつて実行される読出し/書き込みメモリアクションについての説明を行なう。後に説明するように、I/Oからのアクセスメモリ要求が何ら受け取られていない場合、制御ユニット2はCPU1とメモリ4との間の情報交換に対して透明であり、CPU1とメモリ4との間の交換に対するゲート3の状態をブレースットする。従つて、550nsecの第1マシンサイクルの期間中、CPU1はメモリ活性化命令を発生し且つ出力DABにアドレスを置くことができる。このアドレスは、サイクルの開始の後の250nsecでチャンネル7Aに得られ(第4図)、斯かるゲートに因る且つ接続の長さに因る唯一の伝搬遅延を伴いゲート3を介してレジスタ81の入力に得られる。これは、バス及びレジスタ、カスケード上のドライバ及びレシーバを通して接続が行なわれる場合とは異なる。

命令23はアドレスの前でも得られ、しかもCPUサイクルの開始の後の300nsecにおい

ンネル8Aに得られる読出しデータは、第2サイクルの開始の後の500nsecにおいてゲートDABに確実に得られ、例えば、「ストローブ」として用いられる信号φBの立ち上がりエッジと共にRALU11にロードすることができる。

第3マシンサイクルにより、CPU1は新しいアクセスメモリアクション等を制御することができる。

メモリとCPU1との間の転送速度は毎秒 10^9 /1100メモリアクションに等しく、メモリアクセスを得るためのユニット2との如何なる予備対話によつても妨害されない。ここで銘記すべきことは、800nsecのメモリサイクルより長い、メモリ読出しのための1100nsecの期間がアドレスを送る且つデータを送信/受信する唯一のDABゲートを用いるCPU1の構造的結合によつて制限され、同時に、読出し/書き込みメモリアクションが前のオペレーションの成功によつて全体的に調整されること及びこれらのアドレスがマシンサイクルの第2フェーズにおいてのみ

CPU 1に得られるようにする。論理的結合によつても制限されることである。

仮想的なCPU 1がデータをメモリに送つたり、メモリから受け取つたりでき、同時に後続の脱出しオペレーションに対するアドレスをメモリに送ることもできる場合、メモリアクセスオペレーションに対応するCPUサイクルの重複が得られ、転送速度はメモリサイクルの長さによつてのみ影響される。実際は、斯かるCPU 1のアーキテクチャは用いられない。何となれば、別の脱出し/書込みオペレーションを開始する前に各脱出し/書込みメモリアクセスオペレーションの成功を確かめることが好ましいからである。事実、この事柄が本発明の範囲外にあつても、書込みのためにメモリによつて受け取られる情報及びメモリから読み出される情報は関連するパリティビットを介して検出されたエラーによつて影響され得ることが知られている。

最初の場合、メモリはサイクルの終了においてエラー信号を生成し、第2の場合においてはCPU

1自身がエラーを検出する。両方の場合において、エラー制御の結果はメモリサイクルの終了においてのみCPU 1に得られる。従つて、他のメモリアクセスオペレーションは、前のメモリアクセスオペレーションが完了する前に認められることはない。

第5図は制御ユニット2を詳細に示す。

ユニット2の機能は、BUS 6及びメモリ4に対する幾つかのI/Oアクセス要求を取り扱い且つI/Oからのアクセス要求が現われない時に、CPU 1によるメモリ4のアクセスを透明な方法で取り扱うことにある。

基本的に言つて、ユニット2は、優先ネットワーク、タイミングユニット、ゲート3に対する制御ロジックを含む。

この優先ネットワークは、レジスタ40、優先エンコーダ41、制御フリップフロップ42及び後に検討される論理ゲートから構成される。

ゲート3の制御ロジックは、フリップフロップ44及び後に検討される論理ゲートからなる。

タイミングユニットは、シフトレジスタ43及

びNANDゲート56から構成されている。このタイミングユニットは、活性状態及び不活性状態を有し得る。活性の場合、このユニットは、I/O（入力/出力）サイクルを定める一連のタイミング信号TM0、……、TM12（タイミングユニット17として）を生成する。不活性の場合、信号TM0、TM12が論理レベル1に永久に置かれる。

ここで優先ネットワークを考慮すると、レジスタ40の入力は、レジスタ46を介してリードMMREQに接続されている。リードMMREQに現われるアクセスメモリ要求は、レベル1にある信号が制御入力Eに受けられる時にレジスタ40にラッチされる。制御入力Eは、2つのAND入力部を有するAND-ORゲート47の出力に接続される。第1部の2つの入力は、リードCL1とフリップフロップ42の出力Qにそれぞれ接続されている。第2部の2つの入力は、フリップフロップ42の出力Q及びNORゲート48の出力にそれぞれ接続されている。

NORゲート48は、2つのタイミング信号TM4、TM12を入力に受け取る。レジスタ40の出力は、優先エンコーダ41の入力に接続されている。

この優先エンコーダは、各入力に現われる信号に対して予め確立された優先順位を割り当て、そのCOD出力に、入力に現われる最も優先順位の高い信号を誤りコードを発する。

エンコーダ41のCOD出力は、ドライバセット49を介してリードPROCINに接続されている。更に、エンコーダの出力ORは、少なくともアクセス要求が入力に現われる毎に論理レベル1にある信号を発する。出力ORは、ANDゲート50の第2入力に接続されている。ANDゲート50の第1入力は、リードC23に且つフリップフロップ42の出力Qに接続されている入力部を有するNANDゲート38の出力に接続されている。NANDゲート50の出力は、フリップフロップ42の入力Jに且つNOT51を介して入力Kに接続されている。フリップフロップ42のクロック

ク入力は、2つのAND部を有するAND-ORゲート52の出力に接続されている。第1AND部は、フリップフロップ42の出力Qに接続されている入力を有し且つ第2入力にタイミング信号TM8を受ける。第2AND部は、フリップフロップ42の出力 \overline{Q} に接続されている入力を有し且つ第2入力にタイミング信号RSTを受ける。

CPU1とメモリ4との間のあるいはチャンネル6Bとメモリとの間の通信経路はマルチプレキサ53によつて確立されている。

マルチプレキサ53は、第1入力にCPU1から来る信号CDOU Tを受け、レシーバ35を通して第2入力にBUS6から来る信号I/ORWを受ける。

マルチプレキサ53の出力は、その論理レベル0又は1にそれぞれ応じてメモリ4に読出し/書き込み命令を転送するリードWCに接続されている。メモリ4の活性化は、リードGOMMにある論理レベル1に置かれる命令によつてもたらされる。

リードGOMMは、第1入力にタイミング信号

TM4を受けるNANDゲート54の出力に接続されている。

NANDゲート54の第2入力、CPU1から来る信号TP6及び命令C23を入力に受けるNANDゲート33の出力に接続されている。

メモリ4は更に、結合リードを通してCPU1からタイミング信号CKを受け取る。

リードWC, CK, GOMMは、第1図のチャンネル8Bを構成する。優先ネットワークのオペレーションは、後に検討されるユニット2のタイミング部を詳細に説明すること無くここで検討することにする。

フリップフロップ42の状態は基本的には、I/Oサイクル、即ちI/OPの1つによるメモリ及びBUS6の占有が行なわれているか否かを示している。

フリップフロップ42がセットされると、それはその直接出力Qに信号CIOCYC=1を生成し、それがリセットされると、その反転出力 \overline{Q} に信号 $\overline{\text{CIOCYC}}=1$ を生成する。

フリップフロップ42がリセットされるとI/Oサイクルは何も行なわれず、タイミング部は不活性であり、TM4は論理レベル1に保持され、CPU1は論理レベル0にある信号CIOCYCを受ける。それ故、CPU1は通常そのマシンサイクルを、それ自身の必要に応じて通常あるいはそれより長く実行する。詳細に説明すると、CPU1がメモリのアクセスを欲する場合、CPU1は信号TP6によつて適当にタイミングを取られるとNAND33及び54を介して転送される命令C23を生成し、命令GOMMを発生する。CPU1と制御ユニット2との間には何ら予備対話は起こらず、CPUは遅延無しにメモリ4にアクセスすることができる。メモリオペレーション(読出し/書き込み)の種類は、信号WCを生成するマルチプレキサ53を介してメモリ4に転送される命令CDOU Tによつて確立される。

CPU1は、そのオペレーションの期間中、各マシンサイクル毎に、信号CL1及びRSTを周期的に生成する。第4図について説明する。CL

1は、CPU1サイクルの終了時に発生され、RSTはCL1の直前に生成される。

フリップフロップ42がリセットされると、CPUのサイクルNの終了時に生成される信号CL1は、レジスタ40のロードをイネーブルし、リードMMREQに現われる可能なアクセス要求はレジスタ40にロードされ、復号器41の入力において得られるようになる。しかしながら200nsecより短い特定の時間の後に、エンコーダ41はアクセス要求状態に対応する信号を出力COD及びORに得られるようにする。少なくとも1つのアクセス要求が現われる場合、出力ORは1に上昇する。CPU1の連続のサイクルN+1の終了時において、即ちCL1の直前において、RSTはAND-ORゲート52を介してCLOCKパルスをフリップフロップ42に適用する。CPU1のサイクルN+1がCPU1からのメモリオペレーション、即ちC23=0を必要としない場合、フリップフロップ42はセットされあるいはエンコーダ41の出力ORがレベル1

あるいは0にあるか否かに応じてリセットに保持される。C23=1の場合、フリップフロップ42のセットが抑制される。事実、CPU1のサイクルN+1の終了時において検討されるI/Oメモリアクセス要求は読出し/書き込みメモリオペレーションを必要としている既に行なわれているCPU1オペレーションに優ることができない。斯かる場合、CPU1アドレスはサイクルN+1によりゲートDAB及び3を介してメモリ4をアドレスし、且つ後続のサイクルN+2によりメモリに書き込まれるべき情報をチャネル7Aにロードするあるいはチャネル7Aからメモリから読み出された情報を受けるメモリオペレーションを完了する。サイクルN+2の終了時においてのみ信号RST1はフリップフロップ42の組をもたず、即ちペンディングの要求MMREQが検討される。

結論を述べると、I/Oアクセスメモリが何ら行なわれていない場合、MMREQの状態は、I/O要求が何も現われていない事を条件とす

ると、それが欲する毎に遅延無しにメモリをアクセスする事ができるCPU1のオペレーションと同期しながらユニット2によつて周期的に調べられる。

CPU1によるメモリ4のアクセスは、2つのCPUサイクル、即ちアドレスサイクル及び読出し/書き込みサイクルの期間中に起きる。

ユニット2が幾つかのアクセス要求MMREQを検出し且つCPU1の可能な走行メモリオペレーションが完了すると、フリップフロップ42がセットされ、バス6を介して行なわれるアクセスメモリオペレーションのタイミング制御がユニット2のタイミング部によつて実行される。事実、フリップフロップ42がセットされると、CPU1に送られる信号CIOCYCは論理レベル1に置かれる。従つて、CPU1はそのマシンサイクルと共に非同期的に進み続けることができるが、しかし、マシンサイクル中に、メモリオペレーションが要求される場合、メモリアクセスは抑制され、対応するマシンサイクルはCIOCYCが再び0に

落ちる迄停止する。更に、フリップフロップ42がセットされると、ユニット2のタイミング部によつて生成するタイミング信号を受け取る、AND-ORゲート52及び47の入力部ANDがイネーブルされる。その代わり、CPU1からの信号RST1及びCL1を受ける入力部ANDは、CIOCYC=0であるため抑制される。

ここで、シフトレジスタ43及びNAND56を含むユニット2のタイミングユニットを検討することは有用である。

シフトレジスタ43の直列入力SIは、NANDゲート56の出力に接続され、そのクロック入力に信号CKを受ける。

NANDゲート56の第1入力は、フリップフロップ42の出力Qに現われる信号CIOCYCを受け、第2入力は、レジスタ43の総合出力に現われる信号TM8を受ける。

フリップフロップ42がリセットされると、論理レベル1がレジスタ43の入力SIに現われ、レジスタがロードされる。即ち、その出力TMO、

……、TM12が論理レベル1に置かれる。

フリップフロップ42がセットされると、レジスタ43の入力SIが0に落ち、レジスタ43は各パルスCKにおいて次第に放出する。即ち、出力TMO、……、TM12が順次0に落ちる。

出力TM8が0に落ちると、レジスタ43の入力SIは1に上昇し、このレジスタは後続のパルスCKによつて再び満たされる。

TM8が再び1に上昇すると、フリップフロップ42がクロックパルスを受け、このフリップフロップはその入力J及びKの状態に従つてセットに保持されるかあるいはリセットされる。

フリップフロップ42がセットに保持される場合、レジスタ43は再び出力を開始し、そうでない場合、レジスタ43はその充填を完了しフリップフロップ42が再びセットされる迄その充填された状態を維持する。

第6図は、出力TMO、……、TM12の幾つかに現われる信号と幾つかの派生信号のタイミング図を示す。

レジスタ43を展開すると900nsecを有する後続のI/O(入力/出力)タイミングサイクルが定められる。これらのサイクル内において、出力TM0, ..., TM12に現われる信号は適当なインターフェース信号を生成するのに用いられる。

第5図及び第6図を一緒に検討すると、信号TM2は、ドライバインバータ57を通して、BUS6の信号ENIOPを発生することが分かる。I/OPによるENIOPの受け取りは、バスサイクルを効果的に開始する。即ち、BUSアクセスを受けたI/OPが実際にチャンネル6に幾つかの情報をロードすることができる。

ここで銘記することができるのは、信号ENIOPが、I/OPサイクルの開始に対して約150nsecの遅延をもつて生成することである。斯かる遅延は、前のメモリアクションの完了を可能にするために重要なものである。事実、前に述べたように、I/Oのサイクルは、フリップフロップ42がセットされると開始し、これはCPU

によつて活性化される可能な前のメモリサイクルの終了前の150nsecにおいて起きる。更に、後に説明されるように、制御ユニット2によつて活性化されるメモリサイクルは可能な新しいI/Oサイクルの開始の後の150nsecにおいて終了する。

「BUSサイクル」の長さは900nsecではあるが、これはI/Oサイクルに対して150nsec遅延する。

信号TM4は、メモリ活性化信号GOMMをNAND54を介して供給する。GOMMの発生はメモリサイクルを開始する。

信号GOMMは、幾つかのI/OPをイネーブルして信号ENIOPを受け取らせ且つBUSアクセスを受け取つたI/OPに必要なメモリアドレス情報をBUSにロードせしめるために常にENIOP(この場合遅延は100nsec台になる)の後に生成される。

信号TM10及びTM12は、NOT65、ゲート39及びドライバ58を介して、BUS信号

DASTROを生成する。

信号TM4及びTM12は、NOR48、レジスタ40を介してロード信号CL2を生成する。

I/Oサイクルの期間中、信号CL2は、I/OPBUS要求を認めるために、信号CL1(CPUによつて生成された)の1つに相当する機能を実行する。

I/Oサイクルの終了において、信号TM8は、CK1(CPUによつて生成された)の同一のタイミング機能を実行する。即ち、信号TM8は、新しいI/Oサイクルが開始される場合、フリップフロップ42を活性化する。

従つて、BUSアクセスを得るために幾つかのI/OP間に行なわれる予備対話は可能な前のメモリサイクルに重複する。

I/OPとメモリ4との間の情報転送の場合、転送速度は毎秒 $10^9/900$ メモリアクションである。ゲート3の制御論理アクションはここで検討すべきであり、これらのゲートがメモリアクションの機能に関してタイミングを取

られる状態を説明する。

第5図について説明すると、ゲート3の制御ロジックは実質的に、フリップフロップ44及び論理ゲート59, 60, 61, 62, 63, 64から構成されている。

フリップフロップ44は、その入力J及びKを論理レベル1, 0にそれぞれ永久に置いており、通常これはリセットに置かれている。このフリップフロップは、レジスタ43の出力TM2に接続されているそのクロック入力に適用される立ち下がリエッジによつて活性化される。しかしフリップフロップ44はI/Oサイクルの期間中のみ且つI/Oサイクルの開始の後の150nsecにおいて即ち、TM2が0に落ちる時にセットされる。フリップフロップ44は、リセット入力に適用される論理レベル0にある信号によつてリセット(あるいはリセットに保持)される。リセット入力は、ANDゲート61の出力に接続される。ANDゲート61の入力は、ORゲート60の出力に接続されており、ORゲート60は、信号

TM 11, TM 14 及び命令 WC を入力に受ける。AND ゲート 61 の第 2 入力、信号 CIOCYC 及び TM 11 を入力に受ける NAND ゲート 59 の出力に接続されている。

ゲート 59, 60, 61 によつて構成されているリセット・ロジックを考慮すると、フリップフロップ 44 が 2 つのよく識別された瞬間においてリセット命令を受け取ることが分かる。この 2 つのよく識別された瞬間とは次の通りである。

— TM 4 が既に 0 にある時、即ちメモリスサイクルの開始の後 350 nsec において、TM 11 の 0 への降下を伴う、サイクルの終了前の読出し I/O サイクル (命令 WC = 0) の場合。

— メモリスサイクルの終了前の TM 11 50 nsec における立ち上がりを伴う、新しい I/O のサイクルが開始しないとき、従つて CIOCYC = 1 であるときの書込み I/O サイクル (命令 WC = 1) の場合。

第 5 図を再び検討すると、フリップフロップ 44 の出力に現われる信号はチャンネル 10 の信

号 S1, S0 の状態を確立する。

フリップフロップ 44 の直接出力 Q は信号 S1 を供給する。反転出力 \overline{Q} は信号 S0 を出力に供給する AND ゲート 62 に入力信号を供給する。

AND ゲート 62 の第 2 入力、NAND ゲート 63 の出力に接続されている。これは信号 0A 及び命令 $\overline{0A}$ を入力に受ける。

信号 0A 及び命令 CDOU T を入力に受ける OR ゲート 64 は、選択信号 GA をチャンネル 10 の出力に供給する。

制御信号 S1, S0, GA の論理レベルによるゲート 3 の状態は、次の表によつて確立される。

S1	S0	GA	ステータス
0	0	X	A → B, A → C
0	1	0	B → A, B → C
1	0	0	C → B, C → A
1	0	1	C → B
0	1	1	B → C

この表中の文字 X は、中立の状態を示す。

この表は、制御レベルの特定の合成が、ゲート

3 をイネーブルして (入力) ゲートからの他の両方のゲートに対する情報転送を行なわしめることを示している。

ここで、制御論理オペレーションを、2 つのグループに分けることができる異なつた可能な場合について検討することが可能である。

第一グループ: CPU 1 メモリアクセスオペレーション又は CPU 内部オペレーション。

I/O オペレーションが何ら行なわれていないため、フリップフロップ 44 は確実にリセットされ、S1 = 0 となる。更に、マシンサイクルの第 1 フェーズ ($\overline{0A} = 1$, $\overline{0A} = 0$) の期間中、確実に S0 = 1 及び GA = 1 となる。ゲート 3 は、用いられない接続 B → C を実施するのに対し、チャンネル 7A に対応するゲート A が隔離される。

従つて、ここで確実になることは、サイクルの第 1 フェーズ期間中に、レジスタ 14 (ROR 1) マイクロ命令を RALU 11 の入力 DAB (第 3 図) に転送するためにチャンネル 7A が用いられ

ると、外部の CPU 1 からチャンネル 7A に情報が何ら受けられないことである。

マシンサイクルの第 2 フェーズ ($\overline{0A} = 0$, $\overline{0A} = 1$) に対しては、次の場合が存在する。

1' の場合—メモリ 4 のアドレス指定又は書込み。

CDOU T = 1 及び 0A = 1 であるため、S0 = 0 及び GA = 1 の結果になる。

ゲート 3 は、論理連鎖 NAND 63, AND 62, ゲート 3 の伝搬時間に応じて、0A, $\overline{0A}$ の交換に対する遅延により接続 A → B, A → C を実施する。伝搬時間は 50 nsec 内に限定できる。

従つて、メモリアドレス指定の最もクリティカルな場合においても、信号 GOMM が生成されるとき、ゲート 3 が既にイネーブルされこれらの接続が既に確立されている。接続 A → B は常に用いられ、これに対し接続 A → C は後に検討される特定の (I/O 命令) において用いられる。

2' の場合: メモリ 4 の読出し、あるいは CPU 1 の内部オペレーション。

$CDOUT=0$ であるため $S0=1$ 及び $GA=0$ の結果になる。

ゲート3は、既に検討された遅延をもつて接続 $B \rightarrow A$ 、 $B \rightarrow C$ を実施する。マシンサイクルのみの終了時に情報が $RALU11$ にロードされる時にはあぶないタイミングは起られない。接続 $B \rightarrow A$ が実際に用いられる。接続 $B \rightarrow A$ は用いられない。

内部サイクルの場合、チャンネル7Aに現われる内部データと外部データとの間には干渉は何ら現われない。

第2グループ：I/Oメモリアクセスオペレーション。

斯かるオペレーションはI/Oサイクルの活性化を通して行なわれ、メモリ4のアドレス指定の第1フェーズによつて且つ書込みあるいは読出しの第2フェーズによつて構成される。タイミングユニット(レジスタ43)はこのグループの全てのオペレーションに対して活性化される。

従つて、TM2の降下により、フリップフロ

ブ44はセットされ第1フェーズ全体の期間中セットされた状態に保持される。従つて、 $S1=1$ であり、 $S0=0$ である。 $CDOUT$ は、論理レベル1(書込みオペレーション)と論理レベル0の両方に置かれ得る。しかし、 GA は、論理レベル0に置かれると同じように論理レベル1にも置かれることができる。いずれにしても、BUSサイクルの開始において指令される且つメモリアルサイクルの開始において確実に効果的となる接続 $C \rightarrow B$ が保証される。

更に、 $GA=0$ である場合、接続 $C \rightarrow A$ が始動する。しかしながら、チャンネル7Aに現われるデータと、同時に実行されるCPU1サイクルに用いられる情報との間の如何なる干渉も防ぐことができる。何となれば、CPUサイクルの第1フェーズ($GA=1$)の期間中、確実に $GA=1$ となり、可能な外部オペレーション(メモリアドレス指定)が第2フェーズの始まる前に中断されるからである。

I/Oサイクルの第2フェーズに対しては、以

下の場合が可能である。

1'の場合—書込みオペレーション。

既に始動された接続 $C \rightarrow B$ は、サイクルの終了まで保持されなければならない。事実、 $I/ORW=1$ 、従つて $WC=1$ となる。

信号 $WC=1$ はOR60を通して落下するTM11によつてもたらされる可能なリセット作用をマスクする。このリセット作用は、I/Oサイクルが完了する時に新しいI/Oサイクルが何ら開始していないことを条件とするとTM11の立ち上がりによつてNAND59を介して実行される。

2'の場合—読出しオペレーション。

サイクルの第2フェーズの期間中、 $B \rightarrow C$ が確立されなければならない。事実、この場合、 $I/ORW=0$ となり従つて $WC=0$ となる。

TM11の0への降下により、即ちメモリアルサイクルの開始の後の350 nsecにおいて、TM4が既に論理レベル0にあると、OR60の出力は0に落ち、フリップフロブ44がリセットされる。

従つて結果は以下のようになる。即ち $S1=0$ であり、且つ、確実に $CDOUT=1$ であるため、また $S0=1$ という結果にもなる。

いずれにしても、接続 $B \rightarrow C$ が保証され、 $GA=0$ である場合、接続 $B \rightarrow A$ も保証される。

しかしながら、同時に実行されるCPU1サイクルに用いられる情報に対する如何なる干渉も前の場合に述べられた同じ理由により避けられる。

これは証明されることが、接続 $B \rightarrow C$ は、BUSサイクルの終了迄維持される。

第8図は、以下に述べられる幾つかの特徴を除いて従来と変らない周辺制御装置、即ちI/OPのアーキテクチャのブロック図を示す。

この制御装置は、論理/演算ユニット(ワーキングレジスタを含む)RALU66、マイクロプログラムされた制御ユニット67及びタイミングユニット68を含む。斯かる諸ユニットは完全に従来と変わらず、従つてこれ以上の説明は省く。

ユニットRALU66は、内部バスIBを介して、幾つかの入力レジスタ69、70の出力と且

つ幾つかの出力レジスタ71, 72, 73の入力と通信する。

RALU66に対する幾つかの制御命令を生成する他に、制御ユニット67は、幾つかの外部命令C1, ..., C7, CI/ORW, CI/OINT, I/OREQを生成する。

タイミングユニット68は、ユニット66及び67に適当なタイミング信号を供給する。その動作は、外部から受けられる信号WAITによつて停止することができる。命令C1及びC2は、レジスタ69, 70の出力(通常は高インピーダンスを有する)をそれぞれイネーブ爾する。

命令C3, C4, C7は、レジスタ71, 72, 73のロードをそれぞれイネーブ爾する。

レジスタ69, 70の入力は、インターフェースレシーバ75を通してBUS6のチャンネル6Aに接続されている。レジスタ71, 72の出力は、マルチプレキサ74の入力に接続されている。マルチプレキサ74の出力は、「トライステート」型のインターフェースドライバ76を介し

てチャンネル6Aに接続されている。これらは、ANDゲート88からの出力にある論理レベル1に置かれた信号によつてイネーブ爾される。

レジスタ73は、命令CI/ORW, CI/OINT, を入力に受け、これらの命令に命令C7をラッチし、これらの命令をトライステートインターフェースドライバ77を介してBUS6のリードI/ORW及びI/OINTに転送する。トライステート77は信号MYBUSによつてイネーブ爾される。

I/OPがバス6を介して入力/出力オペレーションを興行することを欲していることを規定する命令I/OREQはフリップフロップ78のセット入力に適用され、これをセットする。

フリップフロップ78の直接出口は、ANDゲート79及びインターフェースドライバ90を介してインターフェースリードMMREQに接続されている。フリップフロップ78がセットされ、ゲート79がイネーブ爾されると、メモリアクセス要求はリードMMREQに生成される。

比較器91は、インターフェースレシーバ92を通してBUS6のリードPROCINに接続されている1組の入力を有している。特定のI/OPを識別するコードMYNが第2グループの入力に永久に適用される。リードPROCINに現われるコードがMYNに等しい時、比較器91は出力に信号MYCYを生成する。

インターフェースレシーバ93, 94, 95を介して、I/OPはBUS6の総合リードによつて伝えられた信号ENIOP, DASTRO, I/COMを受け取る。

信号MYCYはフリップフロップ86の入力Jに適用される。

フリップフロップ86の出力Qは、ゲート79のイネーブリング入力に接続される。フリップフロップ86がセットされると、信号MYBUSがその出力Qに発生する。

フリップフロップ86はORゲート87を介してクロック入力にインターフェース信号ENIOP, DASTROを受け取る。

フリップフロップ78のリセット入力は、信号MYBUS及びDASTROを入力に受け取るNANDゲート89の出力に接続されている。

メモリをアクセスするために、I/OPはレジスタ71にメモリアドレスをロードし、そのオペレーションが書き込みオペレーションである場合、I/OPはレジスタ72に書き込まれるべきデータをロードする。更に、I/OPは適当な命令を発生する。

レジスタ73にロードされている論理レベル1に置かれている命令CI/ORWは、そのオペレーションが書き込みオペレーションであることを意味している。命令I/OREQにより、I/OPはフリップフロップ78をセットし、総合リードに信号MMREQを生成する。

フリップフロップ78がセットされると、待機信号WAITが更にタイミングユニットに送られ、I/OPはその要求の受領を持つ。

制御ユニット2(第5図)がI/OPに対してBUSアクセスを許可すると、このユニットは

I/OコードMYNに等しいコードをリードPROCNに生成し、比較器91は信号MYCYを生成する。

これに続いて、ユニット2は命令ENIOPを送る。ENIOPを受けると、フリップフロップ86がセットされ、信号MYBUSを生成する。

マルチプレキサ74は、ENIOP=1の時にレジスタ71の内容を出力に転送するために信号ENIOPによつて制御される。

ANDゲート88は、信号MYBUSを受け且つゲート97を通して信号ENIOPを入力に受ける。しかし、フリップフロップ86の組により、トライステート76がイネーブルされ、レジスタ71に含まれるメモリアドレスがチャンネル6Aに転送される。

トライステート77もイネーブルされ、信号I/ORWがBUS6の総合リードに転送される。

書きオペレーションが要求される場合、ENIOPが0に落ちると、トライステート76は、OR97の入力に適用される信号I/ORWにより、依然

としてイネーブルされる。

次に、マルチプレキサ74はチャンネル6Aに、メモリに書き込まれるべき且つレジスタ72に含まれるデータを転送する。読出しオペレーションが要求される場合、トライステート76は信号ENIOPが0に落ちると抑制される。オペレーションの終了において、即ちBUSサイクルの終了において、信号DASTROによつて、NANDゲート89を介して行なわれるフリップフロップ78のリセット及びORゲート87を介して行なわれるフリップフロップ86のリセットがもたらされる。更に、信号MYBUSが落下することによりチャンネル6Aに現われる情報のレジスタ70へのロードが制御され、これにより可能な要求読出しオペレーションが完了する。

第8図に示されるようなプロセスI/Oはメモリ4を介してCPU1と通信することが可能である。これらのプロセスは、メモリ書き込みオペレーションを通して、CPU1に意図されている幾つかのメッセージをMAILBOXの名称を持

つメモリ領域にロードすることができる。最後のメモリ書き込みオペレーションと同時に、I/Oは割込み信号として転送される信号CI/OINTをリードI/OINTに生成する。

ユニット2(第5図)を検討すると、リードI/OINTの信号がインターフェースリシーバ98及びORゲート96を介してフリップフロップ45のJ入力に転送されることが分かる。

フリップフロップ45が信号TM10の立ち上がりエッジによつてセットされる。

従つて、フリップフロップ45の出力Qは、信号INTをチャンネル7Bを介してCPU1に送る。この信号は、そのプロセスの特定のフェーズの期間中CPU1によつて検討される。

CPU1によつて検討される前に信号INTの降下を避けるために、フリップフロップ45の出力QがORゲート96の第2入力に接続されている。

CPU1が、少なくともメモリ読出しサイクルにより、割込みを検討すると、即ちMAILBO

Xからメッセージを読み出すと、このサイクルの期間中、CPU1は信号RSINTを生成し、この信号はフリップフロップ45をリセットする。

MAILBOXを介して行なわれる通信プロセスは、当技術においては公知であり、本発明の範囲外である。従つて、これ以上の説明は必要でない。

MAILBOXを介して行なわれる同じ通信機構が、メッセージをI/OPに送るためにCPU1により用いられる。

しかしながら、本発明に係る特定のシステムアーキテクチャは幾つかの利点を与える。

CPU1がメッセージ(一般的には幾つかの命令又は指令を特定のI/OPに送ることを欲すると、このCPU1はメモリ読出しオペレーションによりこのメッセージをMAILBOXにロードする。

このメッセージの成分は、関数コードFCであり、及びこのメッセージがアドレス指定されるI/OPを識別するチャンネル数CNである。

CPU1がチャンネル7AにコードFCとチャンネル数CNをロードしてメモリ4に書き込むと、CPU1はまた命令I/O P及び信号I/OCOMを生成する(第3図)。斯かる信号はユニット2(第5図)からドライバ32を介してチャンネル6Bの総合リードに転送され、BUS6に接続されたI/O Pに受け取られる。

ここで銘記すべきことは、ゲート3の制御論理により、コードFC及びチャンネル数CNがメモリチャンネル8Aとチャンネル6Aの両方に転送されることである。各I/O P(第8図)は、レシーバ75を介してチャンネル6Aに接続されている入力組とコードMYCN、即ち各I/O Pに対する特定のチャンネル数が永久に適用される第2の入力組を含む比較器101を有する。I/O Pの比較器101が一致するコードを入力に受けると、この比較器は論理レベル1にある信号を出力に生成する。

比較器101の出力は、第2入力I/OCOMを受けるANDゲート99の入力にレシーバ95

を介して接続され、制御ユニット67から来るイネープリング信号E I/Oを第3入力に受けるANDゲート99の入力に接続されている。

ANDゲート99の出力は、I/O Pがそのメッセージがそれに意図されることを検出し、斯かるメッセージを受けるようにイネーブルされる時セットされるフリップフロップ103のクロック入力に接続される。

フリップフロップ103の直接出力Qは、セットされると、制御ユニット67にCPU1によつて受け取られる制御信号を供給し、チャンネル6にドライバ104を介して信号I/O EX(第5図のレシーバ31を介してCPU1によつて受け取られる)をロードし、更にレジスタ69をイネーブルしてチャンネル6Aに現われる情報(FC及びCN)をロードせしめる。

このようにして、I/O Pにレジスタ69が配設される場合、このI/O PはI/O命令の正しい転送先(CN)を確かめることができ且つ優先的なメモリアクセス要求の可能な存在により特定

の時間にわたつて拒否され得るメモリアクセスを必要とすることなくこのメッセージ(関数コードFC)の基本成分を検討することができる。

この他に、開示されたアーキテクチャにより、I/O命令用のバッファレジスタを設けた、あるいは取つたI/O Pの使用が可能になる。

結論を述べると、本発明に係るアーキテクチャは次の利点を与えるものである。

このアーキテクチャは、CPU1の優先順位がI/O Pの優先順位より低いにも関わらずそのCPU1がメモリへのアクセスを欲する時に、バスへのアクセスのための予備対話を何ら必要としないため、CPU1とメモリ4との間の通信時間を最小にする。これは、メモリアクセス要求の制御が通常はCPU1のマシンサイクルと同期されることにより、且つCPU1とメモリ間の通信が3方向ゲート3のみを介在させているメモリゲートとCPU1内部チャンネルとの間の接続によつて確立されていることによる。CPU1とメモリとの同期により、内部チャンネルとメモリチャンネル

間の如何なるCPU1のバッファレジスタも無くすることができる。

3方向ゲート3は、CPU1側とメモリ側の両方のドライバとレシーバの二重機能を果たし、これにより成分の数と伝搬時間の減少がもたらされる。

このアーキテクチャはI/O Pとメモリ4との間の通信期間に何らの妨害もしない。何となれば、メモリアクセスのI/O P予備対話は、そのメモリがあるI/O Pによつて活性化されると、メモリサイクルに重複し且つそのメモリサイクルと同期化するからである。この待機遅延は、幾つかのI/O PがBUSへのアクセスを欲する時には予備対話あるいはCPU1との同期には導入されない。

CPU1からBUSへの接続及び情報の転送は、メモリ4とI/O Pに対して同時に行うことができる。

開示されたアーキテクチャは、市販されている且つEDPシステムの実施に現在用いられている構成部品によつて実施できるが、米国企業テキサ

スインスツルメント社からコード74LS442で最近市販されている3方向ゲートは除く。

4. [図面の簡単な説明]

第1図は、本発明に係るデータ処理システムのアーキテクチャのブロック線図、第2図は、第1図のシステムに用いられる通信バスを構成しているリードを示す図、第3図は、第1図のシステムの中央ユニットアーキテクチャの詳細なブロック図、第4図は、第3図の中央ユニットによつて発生し且つ第1図のシステムのタイミング及び制御に用いられる幾つかの信号のタイミング図、第5図は、中央ユニットによる且つ第2図のバスを介して接続されている入力/出力プロセッサによる共通メモリに対するアクセスを、第1図のシステムにおいて、制御する制御ユニットのアーキテクチャの詳細なブロック線図、第6図は、第5図のアクセス制御ユニットによつて発生される幾つかのタイミング信号及び制御信号のタイミング図、第7図は、第1図のシステムのワーキングメモリアーキテクチャのブロック線図、第8図は、第1

図のシステムの入力/出力プロセッサアーキテクチャの詳細なブロック線図。

- 1 …… 中央処理装置、
- 2 …… メモリアクセス制御ユニット、
- 3 …… ゲート、
- 4 …… 共通メモリ、
- 6 …… システムバス、
- 7A …… 入力/出力内部チャンネル、
- 8A …… 入力/出力チャンネル、
- 43, 56 …… タイミング手段、
- 69, 70 …… インターフェースレジスタ、
- 101 …… 比較器

代理人 弁理士 湯 浅 恭

図面の浄画(内容に変更なし)

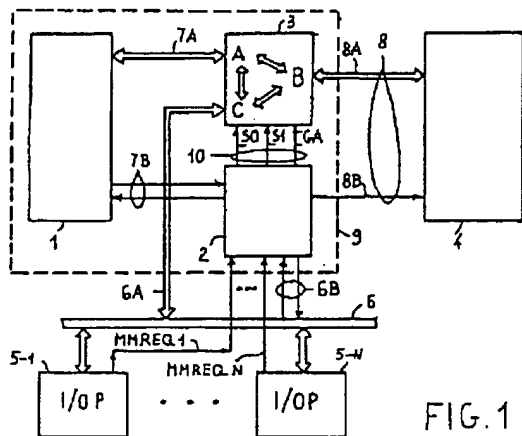


FIG. 1

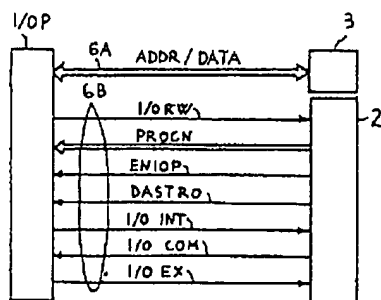


FIG. 2

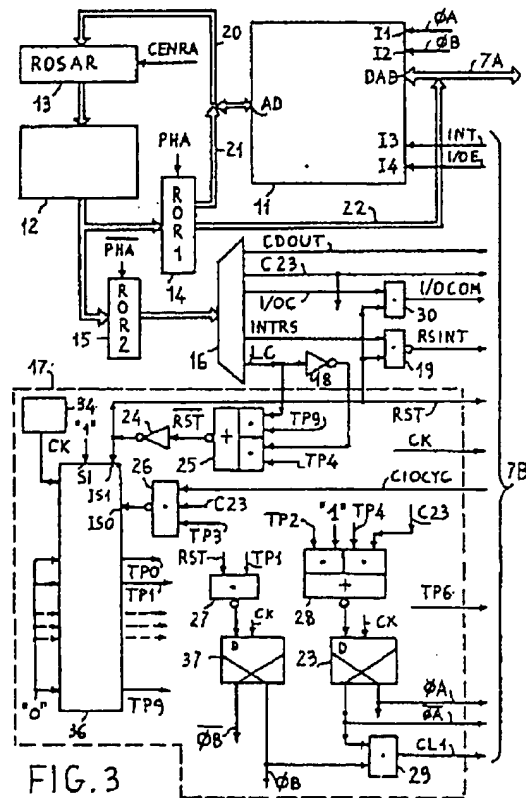
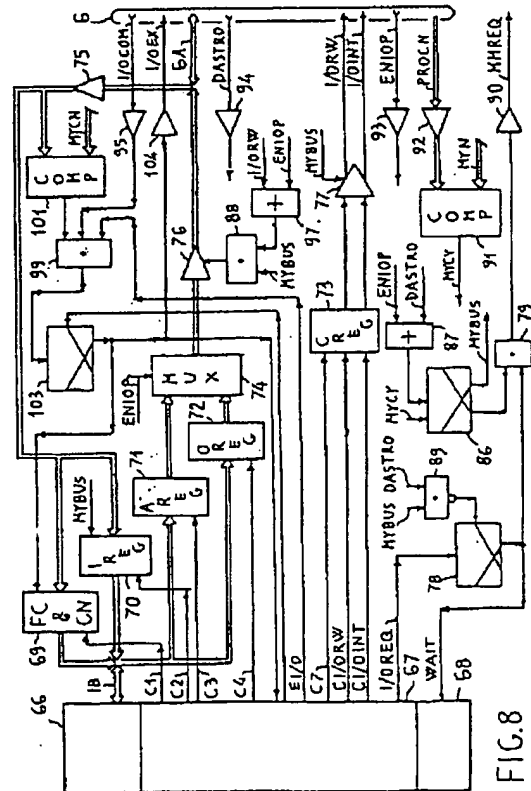
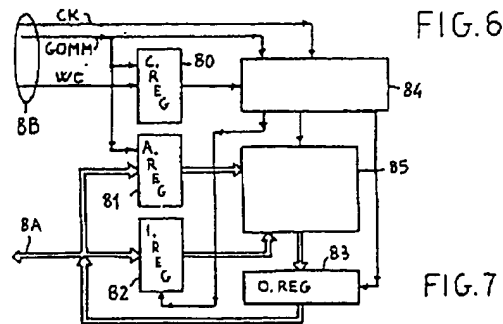
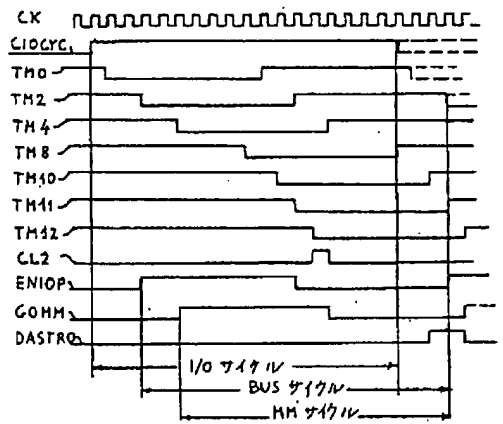
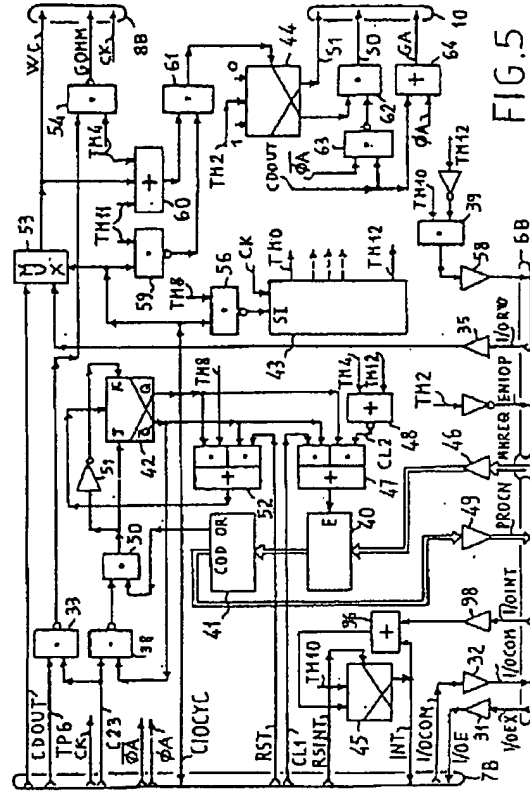
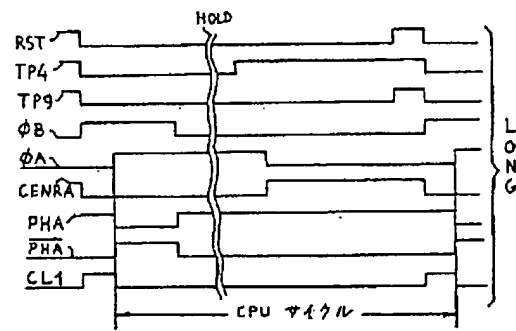
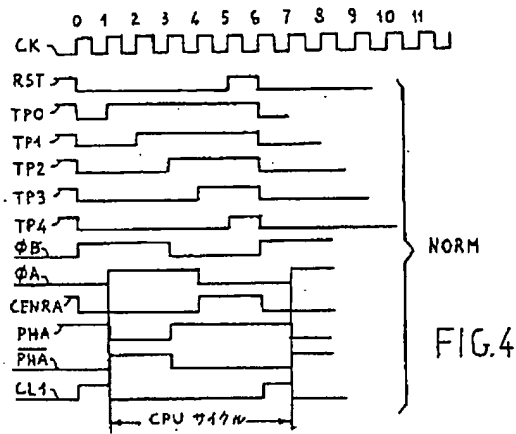


FIG. 3



手続補正書(方式)

昭和60年 7月 5日

特許庁長官 志賀 学 殿



1. 事件の表示

昭和59年特許願第225062号

2. 発明の名称

データ処理システムアーキテクチャ

3. 補正をする者

事件との関係 出 願 人

住 所

名 称 ハネイウエル・インフォメーション・
システムズ・イタリア・エス・ビー・ア

4. 代 理 人

住 所 東京都千代田区大手町2丁目2番1号

新大手町ビル 206号室

電話 (270) 8841-6

氏 名 (2770)弁理士 湯 浅 恭 三



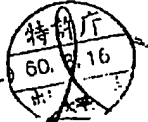
5. 補正命令の日付 昭和60年 2月26日(発送日)

6. 補正の対象

図 面

7. 補正の内容

別紙の通り(尚、内容に変更なし)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.